

Docket No.: T2171.0211
(PATENT)

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:
Tamito Suzuki

Application No.: Not Yet Assigned

Confirmation No.:

Filed: Concurrently Herewith

Art Unit: N/A

For: POLYSILICON ETCHING METHOD

Examiner: Not Yet Assigned

CLAIM FOR PRIORITY AND SUBMISSION OF DOCUMENTS

MS Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

Applicant hereby claims priority under 35 U.S.C. 119 based on the following prior foreign application filed in the following foreign country on the date indicated:

<u>Country</u>	<u>Application No.</u>	<u>Date</u>
Japan	2002-284566	September 27, 2002

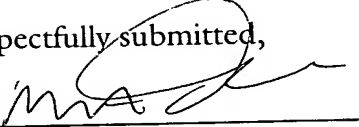
Application No.: Not Yet Assigned

Docket No.: T2171.0211

In support of this claim, a certified copy of the said original foreign application is filed herewith.

Dated: September 24, 2003

Respectfully submitted,

By 

Mark J. Thronson

Registration No.: 33,082

DICKSTEIN SHAPIRO MORIN &
OSHINSKY LLP

1177 Avenue of the Americas

41st Floor

New York, New York 10036-2714

(212) 835-1400

Attorney for Applicant

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 9月27日

出 願 番 号

Application Number:

特願2002-284566

[ST.10/C]:

[JP2002-284566]

出 願 人

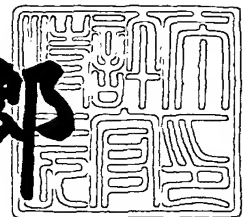
Applicant(s):

ヤマハ株式会社

2003年 6月23日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3048483

【書類名】 特許願

【整理番号】 C-30235

【提出日】 平成14年 9月27日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/3065

【発明者】

 【住所又は居所】 静岡県浜松市中沢町 1 0 番 1 号ヤマハ株式会社内

 【氏名】 鈴木 民人

【特許出願人】

 【識別番号】 000004075

 【氏名又は名称】 ヤマハ株式会社

【代理人】

 【識別番号】 100075074

 【弁理士】

 【氏名又は名称】 伊沢 敏昭

【手数料の表示】

 【予納台帳番号】 063005

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 ポリシリコンエッチング方法

【特許請求の範囲】

【請求項 1】

段差を有する絶縁膜が一方の主面に形成されると共に前記段差を覆って前記絶縁膜の上にポリシリコン層が堆積された半導体基板を用意する工程と、

前記段差の側壁の少なくとも一部を覆わないような所定のパターンを有するレジスト層を前記ポリシリコン層の上に形成する工程と、

前記レジスト層をマスクとすると共に HBr 及び Cl₂ 含有の混合ガスをエッチングガスとする第 1 のプラズマエッチング処理により前記ポリシリコン層をエッチングして前記ポリシリコン層を前記レジスト層に対応するパターンで残存させると共に前記ポリシリコン層の一部からなるポリシリコン残渣を前記段差の側壁に残存させる工程と、

前記レジスト層をマスクとすると共に HBr 単独のガスをエッチングガスとする第 2 のプラズマエッチング処理により前記ポリシリコン残渣を除去する工程とを含むポリシリコンエッチング方法。

【請求項 2】 前記第 2 のプラズマエッチング処理では、5.0～10.0 mTorr の範囲内の圧力でプラズマエッチングを行なう請求項 1 記載のポリシリコンエッチング方法。

【請求項 3】 前記第 2 のプラズマエッチング処理では、前記絶縁膜に対する前記ポリシリコン層のエッチング選択比が 20～40 の範囲内となる条件でプラズマエッチングを行なう請求項 1 又は 2 記載のポリシリコンエッチング方法。

【請求項 4】 前記第 2 のプラズマエッチング処理では、高周波バイアスパワーを 10～20 W の範囲内に設定する請求項 3 記載のポリシリコンエッチング方法。

【請求項 5】 前記ポリシリコン残渣を除去した後、前記レジスト層をマスクとすると共に HBr 又は Cl₂ と O₂ との混合ガスをエッチングガスとする第 3 のプラズマエッチング処理によりオーバーエッチングを行なう工程を更に含む請求項 1～4 のいずれかに記載のポリシリコンエッチング方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、多層ゲート電極構造又はスタックドキャパシタ電極構造を有する半導体メモリ等の半導体装置を製作する際に用いるに好適なポリシリコンエッチング方法に関するものである。

【0002】

【従来の技術】

従来、多層ゲート電極構造を有する半導体メモリとしては、EEPROM（電氣的に消去・プログラム可能なリード・オンリィ・メモリ）、フラッシュメモリ等が知られている。また、スタックドキャパシタ電極構造を有する半導体メモリとしては、DRAM（ダイナミック・ランダム・アクセス・メモリ）等が知られている。これらのメモリの製造過程にあっては、高低差0.3 μ m程度の垂直状段差を覆って堆積したポリシリコン層をドライエッチングにより精度よくパターンニングすることが要求される。

【0003】

このような要求に応えることができる従来のポリシリコンエッチング方法としては、高密度プラズマエッチング処理を第1及び第2のステップに分け、第1のステップでは、HBr、Cl₂及びO₂の混合ガスを用いて2～8mTorrの低圧力領域でポリシリコン層を選択的にエッチングし、第2のステップではHBr及びO₂の混合ガスを用いて20～40mTorrの高圧力領域でポリシリコン残渣をエッチングするもの（以下、第1の従来法という）が知られている（例えば、特許第2822952号公報参照）。

【0004】

従来の他のポリシリコンエッチング方法としては、RIE（反応性イオンエッチング）法によりHBr、Ar及びO₂の混合ガスを用いてポリシリコン層を選択的にエッチングするもの（以下、第2の従来法という）が知られている（例えば、特許第3088178号公報参照）。

【0005】

従来の更に他のポリシリコンエッチング方法としては、第1の非等方エッチング工程で CCl_4 及び He の混合ガスを用いてポリシリコン層を選択的にエッチングし、第2の非等方エッチング工程で CCl_4 、 He 及び SF_6 の混合ガスを用いてプラズマ散乱現象によりエッチング残渣を除去するもの（以下、第3の従来法という）が知られている（例えば、特許第2574045号公報参照）。

【0006】

【発明が解決しようとする課題】

上記した第3の従来法によると、プラズマ散乱現象により等方性エッチングが進行するため、ポリシリコン層と下地絶縁膜との界面にノッチングと呼ばれる形状異常が発生するという問題点がある。また、上記した第2の従来法によると、 Ar イオンがポリシリコン層の側壁におけるデポジション膜の生成を抑制するため、ポリシリコン層がサイドエッチング（アンダーカット）を受けやすく、寸法精度が低下するという問題点がある。

【0007】

上記した第1の従来法によると、上記した第2及び第3の従来法の問題点を克服できる。しかし、隣り合うレジスト層間のスペース間隔が $0.4\ \mu\text{m}$ 程度に狭くなると、高低差 $0.3\ \mu\text{m}$ の段差の側壁に残存したポリシリコン残渣を HBr 及び O_2 の混合ガスによるオーバーエッチングでは十分に除去することができないという問題点がある。

【0008】

この発明の目的は、段差を覆うポリシリコン層をプラズマエッチングによりパターニングする際にポリシリコン層の異方性形状と下地絶縁膜の残膜とを確保しつつ段差の側壁で十分にポリシリコン残渣を除去することができる新規なポリシリコンエッチング方法を提供することにある。

【0009】

【課題を解決するための手段】

この発明に係るポリシリコンエッチング方法は、

段差を有する絶縁膜が一方の主面に形成されると共に前記段差を覆って前記絶縁膜の上にポリシリコン層が堆積された半導体基板を用意する工程と、

前記段差の側壁の少なくとも一部を覆わないような所定のパターンを有するレジスト層を前記ポリシリコン層の上に形成する工程と、

前記レジスト層をマスクとすると共に HBr 及び Cl_2 含有の混合ガスをエッチングガスとする第1のプラズマエッチング処理により前記ポリシリコン層をエッチングして前記ポリシリコン層を前記レジスト層に対応するパターンで残存させると共に前記ポリシリコン層の一部からなるポリシリコン残渣を前記段差の側壁に残存させる工程と、

前記レジスト層をマスクとすると共に HBr 単独のガスをエッチングガスとする第2のプラズマエッチング処理により前記ポリシリコン残渣を除去する工程とを含むものである。

【0010】

この発明のポリシリコンエッチング方法によれば、 HBr 及び Cl_2 含有の混合ガスを用いる第1のプラズマエッチング処理によりポリシリコン層の大部分がエッチングされ、段差の側壁にはポリシリコン残渣が残される。第1のプラズマエッチング処理では、シリコン酸化膜等の下地絶縁膜に対するエッチング選択比が高い HBr と、エッチング速度が速い Cl_2 とを含む混合ガスをエッチングガスとして用いるので、下地絶縁膜の損傷を抑制しつつ高スループットのエッチングを行なえる。

【0011】

次に、 HBr 単独のガスを用いる第2のプラズマエッチング処理により段差の側壁からポリシリコン残渣が除去される。第2のプラズマエッチング処理では、エッチングガスとして HBr 単独のガスを用い、 O_2 等の添加ガスを使用しないので、水平方向の微細加工が可能になり、ポリシリコン残渣を十分に除去することができる。

【0012】

この発明のポリシリコンエッチング方法において、第2のプラズマエッチング処理では、 $5.0 \sim 10.0 \text{ mTorr}$ の範囲内の圧力でプラズマエッチングを行なうのが好ましい。このようにすると、基板の一方の主面に入射する Br イオンの入射方向がやや乱雑となり、ポリシリコン残渣を容易に除去することができ

る。

【 0 0 1 3 】

また、第2のプラズマエッチング処理では、下地絶縁膜に対するポリシリコン層のエッチング選択比が20～40の範囲内となる条件でプラズマエッチングを行なうのが好ましい。このようにすると、下地絶縁膜の損傷を防止できると共に、ポリシリコン層について異方性形状を確保するのが容易となり、しかもサイドエッチングやノッチングを抑制できる。エッチング選択比を20～40の範囲内に設定するには、RF（高周波）バイアスパワーを10～20Wの範囲内に設定するのが好ましい。

【 0 0 1 4 】

この発明のポリシリコンエッチング方法においては、前記ポリシリコン残渣を除去した後、前記レジスト層をマスクとすると共にHBr又はCl₂とO₂との混合ガスをエッチングガスとする第3のプラズマエッチング処理によりオーバーエッチングを行なうようにしてもよい。このようにすると、基板の一方の主面において低い段差部でポリシリコン残渣を容易に除去することができる。

【 0 0 1 5 】

【発明の実施の形態】

図1～7は、この発明の一実施形態に係るEEPROMの製法を示すもので、図1～4は、メモリアレイ部の断面を示し、図5～7は、周辺回路部の断面を示す。

【 0 0 1 6 】

図1の工程では、例えばシリコンからなる半導体基板10の一方の主面に熱酸化処理を施し、15nm程度の厚さのシリコン酸化膜からなるゲート絶縁膜12a、12bを形成する。以下では、熱酸化処理により形成されたシリコン酸化膜を「熱酸化膜」と略称する。

【 0 0 1 7 】

次に、基板10の一方の主面に絶縁膜12a、12bを覆って300nm程度の厚さのポリシリコン層をCVD（ケミカル・ベーパー・デポジション）法により堆積する。ポリシリコン層の堆積中又は堆積後にポリシリコン層に導電型決定

不純物をドーピングすることによりポリシリコン層をゲート電極層として使用可能なように低抵抗化する。この後、ポリシリコン層に選択的に熱酸化処理を施して熱酸化膜からなるゲート絶縁膜 1 2 A, 1 2 B を形成する。

【 0 0 1 8 】

次に、レジスト層をマスクとする選択的なドライエッチング処理によりポリシリコン層をパターニングして該ポリシリコン層の残存部からなるゲート電極層 1 4 A, 1 4 B を形成する。そして、熱酸化処理により電極層 1 4 A, 1 4 B の各側壁及び基板表面に熱酸化膜を形成する。このとき、基板表面に形成される熱酸化膜の厚さは、ゲート絶縁膜 1 2 a より厚く、例えば 4 4 n m 程度とすることができる。ゲート絶縁膜 1 2 a, 1 2 b を構成する熱酸化膜と、ゲート絶縁膜 1 2 A, 1 2 B を構成する熱酸化膜と、電極層 1 4 A, 1 4 B の各側壁及び基板表面を覆う熱酸化膜とは、一体をなす絶縁膜であるので、以下では、絶縁膜 1 2 として表わす。絶縁膜 1 2 は、絶縁膜 1 2 a、電極層 1 4 A 及び絶縁膜 1 2 A の積層に基づく段差を有すると共に、絶縁膜 1 2 b、電極層 1 4 B 及び絶縁膜 1 2 B の積層に基づく段差を有し、これらの段差より低い段差（図示せず）も有する。

【 0 0 1 9 】

次に、絶縁膜 1 2 を覆って 3 0 0 n m 程度の厚さのポリシリコン層 1 6 を C V D 法により堆積する。そして、前述したと同様にしてポリシリコン層 1 6 を低抵抗化する。

【 0 0 2 0 】

周辺回路部においては、図 5 に示すように基板 1 0 の一方の主面に熱酸化膜からなるゲート絶縁膜 1 2 _S を形成した後、ポリシリコン層 1 4 S を形成する。絶縁膜 1 2 _S は、ゲート絶縁膜 1 2 a, 1 2 b を形成するための熱酸化処理を流用して形成し、ポリシリコン層 1 4 S は、ゲート電極層 1 4 A, 1 4 B を形成するための C V D、低抵抗化及びパターニング処理を流用して形成する。この後、図 1 のポリシリコン層 1 6 を形成するための C V D 処理を流用して絶縁膜 1 2 _S の上にポリシリコン層 1 4 S を覆ってポリシリコン層 1 6 を形成する。

【 0 0 2 1 】

図 2 の工程では、ポリシリコン層 1 6 の上に所望のゲート電極パターンに従っ

てレジスト層 1 8 A, 1 8 B をホトリソグラフィ処理により形成する。レジスト層 1 8 A, 1 8 B は、いずれも段差の上部を覆い且つ段差の側壁の少なくとも一部を覆わないような所定のパターンで形成する。レジスト層 1 8 A, 1 8 B のいずれかが図示した部分以外の部分で段差の側壁を覆っていてもよい。隣り合うレジスト層 1 8 A, 1 8 B の間のスペース間隔 D は、 $0.3 \sim 0.6 \mu\text{m}$ とすることができる。

【0022】

周辺回路部においては、図 5 に示すように所望のゲート電極パターンに従ってレジスト層 1 8 S を形成する。レジスト層 1 8 S は、レジスト層 1 8 A, 1 8 B を形成するためのホトリソグラフィ処理を流用して形成する。レジスト層 1 8 A, 1 8 B, 1 8 S の厚さは、いずれも $2 \mu\text{m}$ 程度とすることができる。

【0023】

図 3 及び図 4 の工程では、高密度のプラズマエッチング装置として E C R (Electron Cyclotron Resonance) プラズマエッチング装置を用いてプラズマエッチング処理を行なう。図 3 の工程では、E C R プラズマエッチング装置の処理室内に基板 1 0 をセットしてレジスト層 1 8 A, 1 8 B をマスクとする第 1 のプラズマエッチング処理をポリシリコン層 1 6 に施すことによりそれぞれレジスト層 1 8 A, 1 8 B に対応したパターンを有するポリシリコン層からなるゲート電極層 1 6 A, 1 6 B を得る。第 1 のプラズマエッチング処理は、段差の側壁にポリシリコン層 1 6 の部分からなるスペーサ状のポリシリコン残渣 1 6 a ~ 1 6 d が残存する状態になるまで行なう。このときのエッチング条件は、一例として、

ガス流量： $\text{HBr} / \text{Cl}_2 = 50 / 50 \text{ sccm}$

処理室内の圧力： 4.0 mTorr

マイクロ波パワー： 1800 W

R F バイアスパワー： 60 W

とすることができる。ポリシリコンのエッチング速度は、 320 nm/min とすることができる。

【0024】

第 1 のプラズマエッチング処理は、メインエッチングステップであり、形状異

方性が強く、垂直状からやや順テーパー状に加工可能であるが、スパーサ状のポリシリコン残渣 1 6 a ~ 1 6 d を除去することはできない。異方性形状を確保するため、エッチングガスとして、 $\text{HBr}/\text{Cl}_2/\text{O}_2$ 等を含む混合ガスを用いてもよく、処理室内の圧力は、1. 0 ~ 5. 0 mTorr の範囲内に設定するのが好ましい。また、エッチング速度を確保するため、マイクロ波パワーは、1 5 0 0 ~ 2 0 0 0 W の範囲内に、RF バイアスパワーは、4 0 ~ 8 0 W の範囲内にそれぞれ設定するのが好ましい。

【 0 0 2 5 】

周辺回路部においては、図 6 に示すように第 1 のプラズマエッチング処理を流用し且つレジスト層 1 8 S をマスクとしてポリシリコン層 1 6 を選択的にエッチング処理することによりポリシリコン層からなるゲート電極層 1 6 S を得る。このとき、ポリシリコン層 1 4 S の側壁には、ポリシリコン層 1 6 の部分からなるスパーサ状のポリシリコン残渣 1 6 e , 1 6 f が残存する。

【 0 0 2 6 】

第 1 のプラズマエッチング処理によりポリシリコン残渣 1 6 a ~ 1 6 d が現われた段階で図 4 に示す第 2 のプラズマエッチング処理に移る。第 2 のプラズマエッチング処理では、レジスト層 1 8 A , 1 8 B をマスクとすると共に HBr 単独のガスをエッチングガスとしてプラズマエッチングを行なうことにより段差の側壁からスパーサ状のポリシリコン残渣 1 6 a ~ 1 6 d を除去する。このときのエッチング条件は、一例として、

ガス流量： $\text{HBr} = 100 \text{ sccm}$

処理室内の圧力：6. 0 mTorr

マイクロ波パワー：1 2 0 0 W

RF バイアスパワー：1 5 W

とすることができる。エッチング速度は、8 0 ~ 1 2 0 nm/min とすることができる。

【 0 0 2 7 】

第 2 のプラズマエッチング処理は、この発明の特徴であるポリシリコン残渣除去ステップであり、エッチングガスとしては、 HBr 単独のガスを用い、他の C

Cl_2 、 SF_6 等のガスや側壁保護膜生成用の O_2 、 CF_4 等のガスを添加しない。 HBr 、 Cl_2 及び SF_6 の3種類のガスについて水平方向のエッチング進行度の大小関係を示すと、 $\text{Cl}_2 < \text{HBr} < \text{SF}_6$ となり、 Cl_2 では、水平方向のエッチング進行度が小さいため、スペーサ状のポリシリコン残渣16a～16dを除去することができない。また、 SF_6 では反応が速すぎて、サイドエッチングによる寸法の細り、ノッチングの発生等を招くので好ましくない。これに対して、 HBr は、垂直方向のエッチング進行に加えて水平方向にも微細なエッチングが進行するので、ポリシリコン残渣16a～16dを除去するのに好適である。なお、 O_2 等のガスは、通常、 SiO_x からなる側壁保護膜を生成して異方性形状を保持するために使用されるものであるが、第2のプラズマエッチング処理では、水平方向のエッチング進行を妨げるので、使用しない。

【0028】

段差の側壁からスペーサ状のポリシリコン残渣16a～16dを除去するためには、基板表面に入射する Br イオンの方向をやや乱雑な方向にする必要があり、この制御のために処理室内の圧力を高密度プラズマとしてはやや高めの5.0～10.0mTorrとするのが好ましい。

【0029】

HBr 単独のガスを使用するプラズマエッチングにおいて、エッチング速度の向上を目的としてRFバイアスパワーを高く設定すると、熱酸化膜に対するポリシリコンのエッチング選択比が10以下となり、下地膜としての熱酸化膜に下地抜け等のダメージを与えることになる。熱酸化膜に対するポリシリコンのエッチング選択比としては、20～40程度を確保するのが好ましく、このためには、RFバイアスパワーを比較的低めの10～20Wの範囲内に設定するのが好ましい。

【0030】

上記のような条件を用いて第2のプラズマエッチング処理を行なうと、通常除去できないスペーサ状のポリシリコン残渣16a～16dを段差の側壁から十分に除去することができる。また、このような条件自体が微細加工上で異方性形状を得るに好適なものであるため、第1のプラズマエッチング処理で加工済みのポ

リシリコン層の 1 6 A, 1 6 B の各側壁に対してサイドエッチング等の寸法変換差を生じさせることがなく、加工済みのポリシリコン層の 1 6 A, 1 6 B と下地絶縁膜 1 2 との界面にノッチングを生じさせることがない。

【 0 0 3 1 】

周辺回路部においては、図 7 に示すように第 2 のプラズマエッチング処理を流用して且つレジスト層 1 8 S をマスクとしてポリシリコン層 1 4 S 及びポリシリコン残渣 1 6 e, 1 6 f をエッチングすることによりレジスト層 1 8 S に対応したパターンを有するポリシリコン層からなるゲート電極層 1 4 S を得る。ゲート電極層 1 6 S, 1 4 S は、互いに重なり合って 1 本のゲート電極を構成する。

【 0 0 3 2 】

第 2 のプラズマエッチング処理の後、レジスト層 1 8 A, 1 8 B, 1 8 S をマスクとする第 3 のプラズマエッチング処理を行なう。この処理は、オーバーエッチングステップであり、エッチング条件は、一例として、

ガス流量： $\text{HBr} / \text{O}_2 = 100 / 6 \text{ sccm}$

処理室内の圧力：2.0 mTorr

マイクロ波パワー：1200 W

RF バイアスパワー：15 W

とすることができる。熱酸化膜に対するポリシリコンのエッチング選択比は、180 程度とし、エッチング量は、220 nm 程度とすることができる。このようなオーバーエッチングによれば、低段差領域においてポリシリコン残渣を除去することができる。なお、第 2 のプラズマエッチング処理を行わずに第 3 のプラズマエッチング処理を行なうと、スパーサ状のポリシリコン残渣 1 6 a ~ 1 6 d は、高さが減少するものの、除去しきることはできない。

【 0 0 3 3 】

第 3 のプラズマエッチング処理では、エッチングガスとして、HBr 及び O_2 の混合ガスの代りに、 Cl_2 及び O_2 の混合ガスを用いてもよい。HBr / O_2 の混合ガス又は Cl_2 / O_2 の混合ガスを用いる場合、 O_2 の流量比でエッチング選択比を抑制することにより高めのエッチング選択比を設定し、下地熱酸化膜へのダメージを低減させる。例えば、 O_2 ガスの流量比を 6 ~ 40 % 程度、圧力

を 1. 0 ~ 5. 0 m T o r r、R F バイアスパワーを 1 0 ~ 3 0 W 程度とすると、下地熱酸化膜に対するポリシリコンのエッチング選択比を 1 5 0 ~ 2 0 0 程度とし、2 0 0 ~ 2 4 0 n m 相当のオーバーエッチングを行なうことができる。

【0 0 3 4】

第 3 のプラズマエッチング処理の後は、図 4, 7 に示すように周知のアッシング処理等によりレジスト層 1 8 A, 1 8 B, 1 8 S を除去する。

【0 0 3 5】

上記した実施形態では高密度プラズマエッチング装置として E C R プラズマエッチング装置を用いたが、これに限らず、誘導結合 (I C P) 型のプラズマエッチング装置あるいはヘリコン波を利用してプラズマを生成するプラズマエッチング装置等を用いてもよい。これらのプラズマエッチング装置は、いずれも公知の高密度プラズマエッチング装置である。

【0 0 3 6】

【発明の効果】

以上のように、この発明によれば、段差を覆うポリシリコン層をプラズマエッチング処理によりパターニングする際にプラズマエッチング処理を第 1 及び第 2 のステップに分け、第 1 のステップでは H B r 及び C l ₂ 含有の混合ガスを用いてポリシリコン層の大部分をエッチングして段差の側壁にポリシリコン残渣を残し、第 2 のステップでは H B r 単独のガスを用いて段差の側壁からポリシリコン残渣を除去するようにしたので、ポリシリコン層の異方性形状と下地絶縁膜の残膜とを確保しつつ段差の側壁で十分にポリシリコン残渣を除去することができ、特に隣り合うレジスト層間のスペース間隔が 0. 3 μ m 程度に狭くなっても、高低差 0. 3 μ m 程度の段差の側壁に残存したポリシリコン残渣を十分に除去することができる効果が得られる。

【図面の簡単な説明】

【図 1】 この発明の一実施形態に係る E E P R O M の製法におけるポリシリコン層形成工程を示す断面図である。

【図 2】 図 1 の工程に続くレジスト層形成工程を示す断面図である。

【図 3】 図 2 の工程に続く第 1 のエッチング工程を示す断面図である。

【図 4】 図 3 の工程に続く第 2 のエッチング工程を示す断面図である。

【図 5】 周辺回路部におけるレジスト層形成工程を示す断面図である。

【図 6】 図 5 の工程に続く第 1 のエッチング工程を示す断面図である。

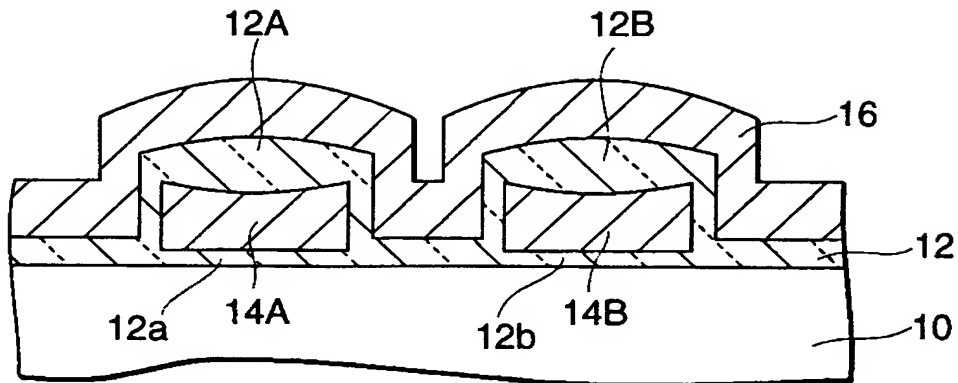
【図 7】 図 6 の工程に続く第 2 のエッチング工程を示す断面図である。

【符号の説明】

1 0 : 半導体基板、1 2 a, 1 2 b, 1 2 S : ゲート絶縁膜、1 2 : 絶縁膜、
1 4 A, 1 4 B, 1 4 S, 1 6 S : ゲート電極層、1 4 S, 1 6 : ポリシリコン
層、1 6 a ~ 1 6 f : ポリシリコン残渣、1 8 A, 1 8 B, 1 8 S : レジスト層

【書類名】 図面

【図 1】



10:半導体基板

12a, 12b

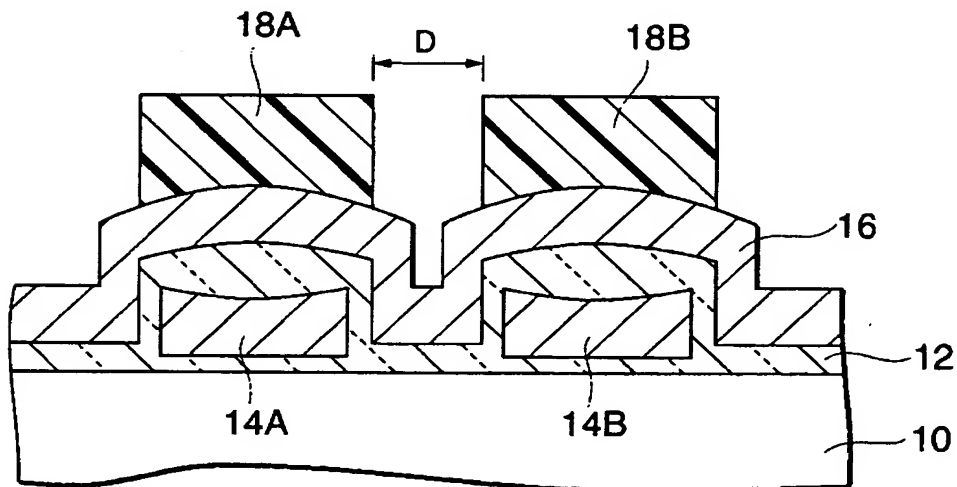
12A, 12B } ゲート絶縁膜

12:絶縁膜

14A, 14B:ゲート電極層

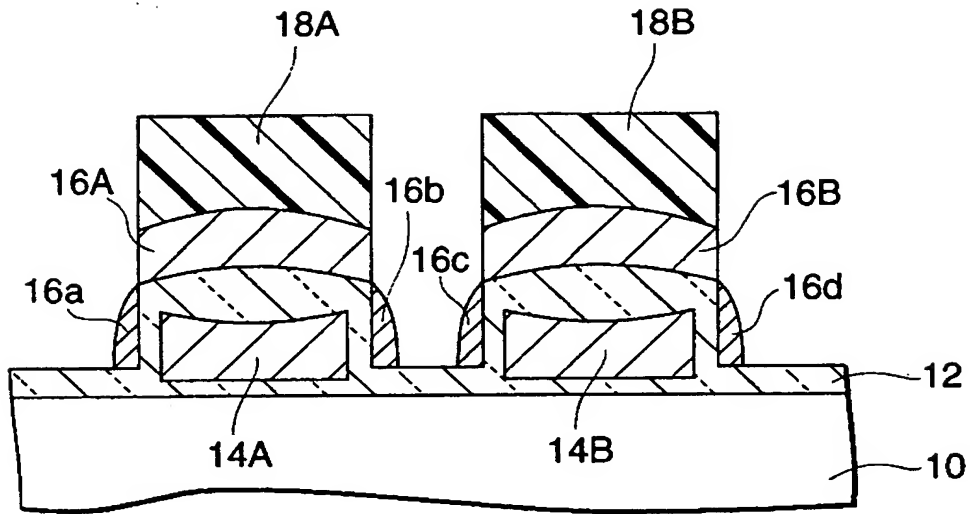
16:ポリシリコン層

【図 2】



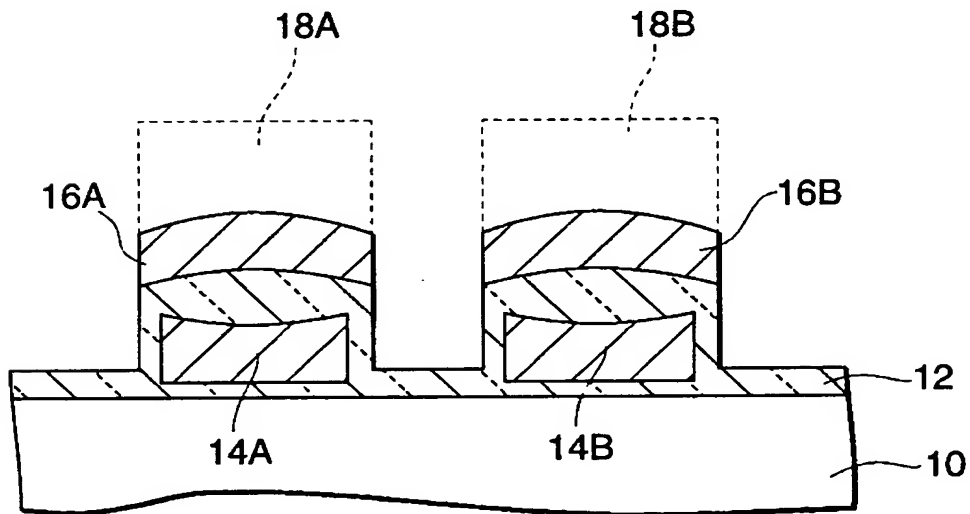
18A, 18B:レジスト層

【図 3】

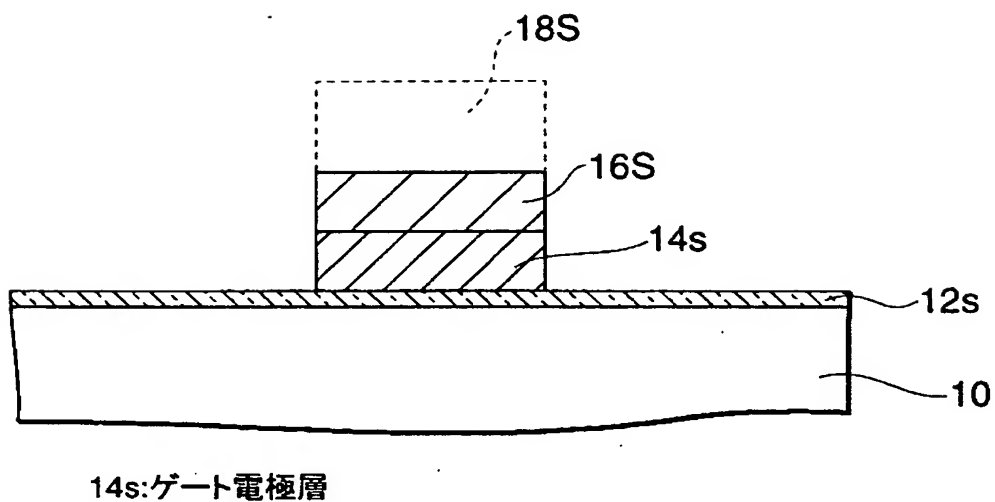


16A, 16B: ゲート電極層
16a~16d: ポリシリコン残渣

【図 4】



【図 7】



【書類名】 要約書

【要約】

【課題】 段差を覆うポリシリコン層をパターニングする際にポリシリコン層の異方性形状と下地絶縁膜の残膜とを確保しつつ段差の側壁でポリシリコン残渣を十分に除去する。

【解決手段】 基板 1 0 の一方の主面に絶縁膜 1 2、電極層 1 4 A 等からなる段差を覆ってポリシリコン層を堆積した後、段差の上部にてポリシリコン層の上にレジスト層 1 8 A を形成する。レジスト層 1 8 A をマスクとするプラズマエッチング処理によりポリシリコン層をパターニングしてゲート電極用ポリシリコン層 1 6 A を得る。プラズマエッチング処理において、第 1 のステップでは H B r 及び C l ₂ 含有の混合ガスを用いて段差の側壁にスパーサ状のポリシリコン残渣 1 6 a, 1 6 b が残存する状態になるまでポリシリコン層をエッチングし、第 2 のステップでは H B r 単独のガスを用い、5 ～ 1 0 m T o r r の圧力でポリシリコン残渣 1 6 a, 1 6 b を除去する。

【選択図】 図 3

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 4 0 7 5]

1. 変更年月日	1 9 9 0 年 8 月 2 2 日
[変更理由]	新規登録
住 所	静岡県浜松市中沢町 1 0 番 1 号
氏 名	ヤマハ株式会社